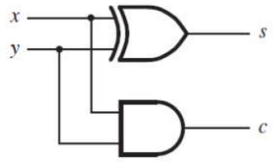
"تمرین های زیر اختیاری می باشد و نیازی به تحویل تمرین نیست."



1- مدار زیر یک نیم جمع کننده half adder را نمایش می دهد.

الف - کد وریلاگی برای این مدار در سطح گیت و با استفاده از مدلسازی ساختاری بنویسید.

ب- کد وریلاگ دیگری برای همین مدار با استفاده از مدلسازی جریان دادگان بنویسید.

ج- برای بررسی درستی عملکرد مدار یک "میز تست" ساده بنویسید.

جواب)

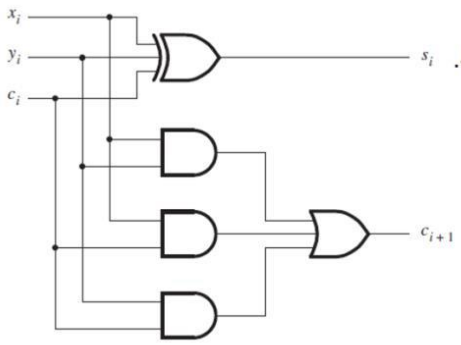
مدلسازی جریان دادگان

```
1  module half_adder (output s,c,
2    input x,y
3    );
4    assign {c,s} = x + y ;
5  endmodule
```

مدلسازی ساختاری به همراه میز تست

```
1  module half_adder (x,y,c,s);
2    output s,c ;
3    input x,y ;
4    xor (s,x,y);
5    and (c,x,y);
6  endmodule
7  module t_half_adder;
8    reg x,y;
9    wire s,c;
10   half_adder M(x,y,c,s);
11   initial begin
12     x=0; y=0;
13     #10 x=1; y=0;
14     #10 x=1; y=1;
15     #10 x=0; y=1;
16     #20 $finish;
17   end
18 endmodule
19
```

2- مدار زیر یک تمام جمع کننده را نمایش می دهد.



الف - کد وریلاگی برای این مدار در سطح گیت و با استفاده از مدلسازی ساختاری بنویسید.

ب- کد وریلاگ دیگری برای همین مدار با استفاده از مدلسازی جریان دادگان بنویسید.

جواب)

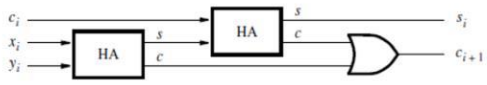
مدلسازی جریان دادگان

```
1  module full_adder (output s,carry,
2  input x,y,c
3  );
4  assign {carry,s} = x + y + c;
5  endmodule
6
```

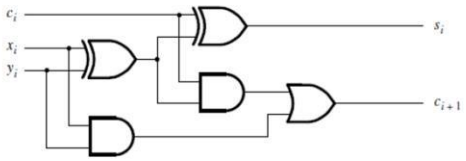
مدلسازی ساختاری

```
1  module full_adder (x,y,c,s,carry);
2    output s,carry;
3    input x,y,c;
4    wire G1,G2,G3;
5    xor (s,x,y,c);
6    and (G1,x,y),
7        (G2,x,c),
8        (G3,y,c);
9    or  (carry,G1,G2,G3);
10
11 endmodule
12
```

3- مدار زیر همچنین یک تمام جمع کننده است که از مجموع دو نیم جمع کننده و یک گیت OR تشکیل شده است (نشان داده شده توسط دیاگرام بلوکی).



(a) Block diagram



(b) Detailed diagram

الف - کد وریلاگی برای این مدار در سطح گیت و با استفاده از مدلسازی ساختاری بنویسید.

ب- کد وریلاگ دیگری برای همین مدار با استفاده از مدلسازی جریان دادگان بنویسید.

نکته: دیاگرام b جزییات داخلی دیاگرام a را نشان می دهد.

جواب)

مدلسازی ساختاری

```
1   module half_adder ( output s,carry,
2     input x,y
3     );
4     xor (s,x,y);
5     and (c,x,y);
6   endmodule
7
8   module full_adder (output s,carry,
9    input x,y,c
10   );
11   wire s1,c1,c2;
12   half_adder HA1 (s1,c1,x,y);
13   half_adder Ha2 (s,c2,s1,z);
14   or G1 (c,c1,c2);
15  endmodule
16
```

مدلسازی جریان دادگان

```
1   module full_adder (output s,carry,
2     input x,y,c
3     );
4     assign {carry,s} = x + y + c;
5   endmodule
6
7
```